

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-283625

(43)Date of publication of application : 07.10.1994

(51)Int.Cl.

H01L 23/15  
// H01L 23/50  
H01L 25/04  
H01L 25/18

(21)Application number : 05-090791

(71)Applicant : TOPPAN PRINTING CO LTD

(22)Date of filing : 25.03.1993

(72)Inventor : OKANO TATSUHIRO

OFUSA TOSHIO

SEKINE HIDEKATSU

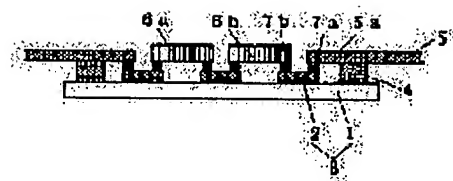
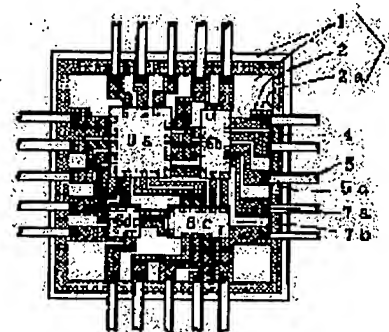
TSUKAMOTO TAKETO

## (54) MULTICHIP SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the stripping off of semiconductor chips from a glass substrate and cracking of the chips due to thermal expansion or contraction and, at the same time, to improve the heat radiation property of the chips by using the glass substrate having nearly the same coefficient of thermal expansion as the chips have as an insulating substrate.

CONSTITUTION: The semiconductor device is constituted by mounting a plurality of semiconductor chips 6a-6d on a semiconductor mounting wiring substrate of a wiring circuit substrate 3 composed of a glass substrate 1 used as an insulating substrate and wiring circuit layer 2 formed on the substrate 1 and leads 5 fixed to the periphery of the glass substrate 1 by means of an adhesive layer 4 as external terminals. The chips 6a-6d are connected to the wiring circuit layer 2 through bumps 7b. Therefore, the stripping off of the chips 6a-6d from the glass substrate or cracking of the chips 6a-6d due to thermal expansion or contraction can be prevented and the reliability of this semiconductor device can be improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-283625

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/15				
// H 0 1 L 23/50		L 9272-4M		
25/04				
		8719-4M	H 0 1 L 23/ 14	C
			25/ 04	Z
			審査請求 未請求 請求項の数1	FD (全 5 頁) 最終頁に続く

(21)出願番号 特願平5-90791

(22)出願日 平成5年(1993)3月25日

(71)出願人 000003193

凸版印刷株式会社

東京都台東区台東1丁目5番1号

(72)発明者 岡野 達広

東京都台東区台東一丁目5番1号 凸版印刷株式会社内

(72)発明者 大房 俊雄

東京都台東区台東一丁目5番1号 凸版印刷株式会社内

(72)発明者 関根 秀克

東京都台東区台東一丁目5番1号 凸版印刷株式会社内

(74)代理人 弁理士 田治米 登 (外1名)

最終頁に続く

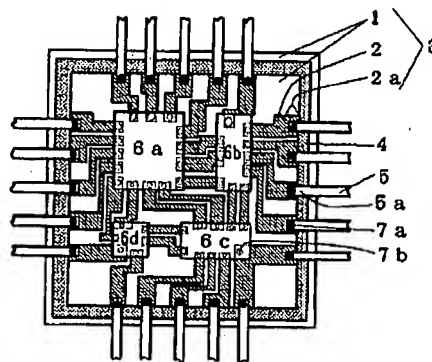
(54)【発明の名称】 マルチチップ半導体装置

(57)【要約】

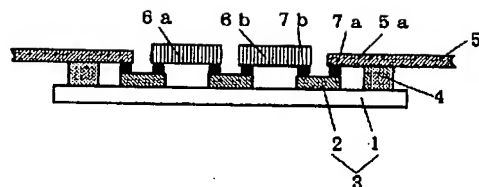
【目的】 マルチチップ半導体装置の信頼性と放熱性を向上させる。

【構成】 絶縁性基板1、その上に形成された配線回路層2及び外部端子となるリード5からなる半導体搭載用配線基板に、複数の半導体チップ6a～6dを搭載したマルチチップ半導体装置において、絶縁性基板としてガラス基板を使用する。

(a)



(b)



## 【特許請求の範囲】

【請求項1】 絶縁性基板、その上に形成された配線回路層、及び外部端子となるリードからなる半導体搭載用配線基板に、複数の半導体チップを搭載したマルチチップ半導体装置において、絶縁性基板がガラス基板であることを特徴とするマルチチップ半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、複数のLSIなどの半導体チップを搭載したマルチチップ半導体装置に関する。

## 【0002】

【従来の技術】従来のマルチチップ半導体装置においては、図3に示すように、アイランドとリードとからなるリードフレームの当該アイランド31上に、絶縁性基板32とその上に配設された導体パターン33と複数の半導体チップ34a～34bとからなるプリント配線基板35が接着されている。この場合、プリント配線基板35の周囲にリードフレームのインナーリード36が配され、プリント配線基板35の導体パターン33とインナーリード36とがワイヤーボンディング法によりワイヤー37aで接続される。また、半導体チップ34a～34bも導体パターン33とワイヤー37bで接続され、全体が樹脂38により封止された構造となっている。

## 【0003】

【発明が解決しようとする課題】しかしながら、従来のマルチチップ半導体装置においては、プリント配線基板の絶縁性基板として半導体チップの熱膨張係数と大きく異なるガラスエポキシ基板やポリイミド基板を使用しているために、プリント基板と半導体チップとが膨脹、収縮を繰り返すことにより半導体チップがプリント配線基板から剥離したり、半導体チップにクラックが発生したりするため、半導体装置そのものの信頼性が低下するという問題があった。

【0004】また、ガラスエポキシ基板やポリイミド基板は熱伝導性が十分ではなく、しかも、このようなプリント配線基板に半導体チップを直接実装しているため、半導体装置が発した熱を外部へ放熱しにくいという問題があった。また、リードとプリント基板とは細いワイヤーで接続されているだけなので、リードから放熱する効率が非常に低く、この点でも放熱性に問題があった。特に、熱の発生源である半導体チップを複数搭載するマルチチップ半導体装置においては、放熱性を向上させるということが重大な問題となっていた。

【0005】この発明は、以上のような従来技術の問題点を解決しようとするものであり、高い信頼性と優れた放熱性とを有するマルチチップ半導体装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】この発明者らは、半導体

チップとはほぼ同等の熱膨張係数を有するガラス基板を使用することにより上述の目的が達成できることを見出し、この発明を完成させるに至った。

【0007】即ち、この発明は、絶縁性基板、その上に形成された配線回路層、及び配線基板の外部端子となるリードからなる半導体搭載用配線基板に、複数の半導体チップが搭載されているマルチチップ半導体装置において、絶縁性基板がガラス基板であることを特徴とするマルチチップ半導体装置を提供する。

## 【0008】

【作用】この発明のマルチチップ半導体装置においては、半導体チップと熱膨張係数がほぼ同等であるガラス基板を使用するので、熱による膨脹、収縮によりガラス基板上から半導体チップが剥離したり、半導体チップにクラックが生じたりすることを防止することが可能となる。

【0009】また、ガラス基板は、従来のガラスエポキシ基板やポリイミド基板に比べ熱伝導率が良好なため、半導体装置の放熱性を改善することが可能となる。

【0010】更に、リードをガラス基板上に配すればリードからの放熱効率も高めることが可能となる。

## 【0011】

【実施例】以下、この発明を図面に基づいて詳細に説明する。なお、図において同じ番号は同一又は同等の構成要素を示している。

【0012】図1(a)は、この発明のマルチチップ半導体装置の好ましい実施例の平面図であり、同図(b)はその概略側面図である。同図にあるように、この発明のマルチチップ半導体装置は、絶縁性基板としてのガラス基板1とその上に形成された配線回路層2とからなる配線回路板3と、ガラス基板1の周辺に接着層4により固定された外部端子となるリード5とからなる半導体搭載用配線基板に、複数の半導体チップ6a～6dが搭載された構造を有する。この場合、半導体チップ6a～6dは、バンプ7bを介してガラス基板1上の配線回路層2に接続されている。また、リード5のインナーリード5aは、配線回路層2のターミナル2aとバンプ7aにより接続されている。

【0013】この発明において、ガラス基板1は、配線回路層2や半導体チップ6a～6dなどの支持部材であり、しかも半導体装置の放熱性を向上させるためのものである。このようなガラス基板1としては、半導体チップと熱膨張係数が近似したものを使用することが好ましい。

【0014】なお、半導体チップ6a～6dと配線回路層2との電氣的接続をワイヤーボンディング法により行う場合には、半導体チップ6a～6dのガラス基板1上への接着は種々の接着剤を用いて行うことができる。

【0015】なお、ガラス基板1として光透過性のものを使用することにより、半導体チップ6a～6dと配線

回路層2とをバンプ接続やTAB接続をする場合に、ガラス基板の裏面から、接続の位置合わせが容易にできるようになる。

【0016】配線回路層2は、複数の半導体チップ同士を互いに導通させ、また半導体チップとリード5とを電氣的に接続させるものであり、例えば、導電ペーストのスクリーン印刷法により形成したり、金属薄膜、透明導電膜、あるいは透明導電膜上に金属薄膜が形成された複合導電膜を、真空蒸着法やスパッタ法、あるいはメッキ法などにより絶縁膜2上に形成し、それをフォトリソグラフ技術、エッチング技術を利用してパターンニングすることにより形成したりすることができる。なお、フォトリソグラフ技術を使用すると、配線回路層2の微細パターン化が可能となり、半導体装置の高密度実装を実現することができる。

【0017】配線回路層2を熱伝導性と導電性とが、銅箔等と比べて低いITOをパターンニングしたものから形成した場合には、更にそのITOパターン上にニッケルなどの高い熱伝導性と導電性とを有する材料で被覆することが好ましい。これにより配線回路層2を経由して半導体チップからリード5への熱の伝達の効率を向上させることができる。

【0018】接着層4は、前述したようにリード5をガラス基板1に固定するためのもので、例えば、絶縁性の両面接着テープを使用することができる。

【0019】リード5は、半導体装置の外部端子として機能し、且つガラス基板1や配線回路層2を介して半導体チップから伝達される熱を外側へ放熱する機能も有する。従って、図1に示すように、放熱性向上のためにガラス基板1上に固定することが好ましい。このようなリード5としては、一般的なリードフレームを好ましく使用することができる。その材質も一般的な鉄系合金や銅系合金などを使用することができる。なお、リード5のインナーリード5aには、配線回路層2のターミナル2aとの接続を容易にするために、金やハンダなどの薄膜を常法により形成しておいてもよい。

【0020】バンプ7a及び7bとしては、一般的なバンプを利用することができ、例えば金やハンダのバンプを使用することができる。なお、図1の例では、リード5と配線回路層2、及び半導体チップ6a～6dと配線回路層2とのそれぞれの電氣的接続をバンプ接続したが、これに限らずワイヤーボンディング法により金やアルミのワイヤーで接続することもできる。また、TAB接続部材を用いて接続することもでき、異方性導電性接着剤を使用して接続することもでき、これらの接続法を組み合わせることもできる。また、リード5と配線回路層2のターミナル2aとの接続は、電解メッキ法によりニッケル、金、銅、パラジウムなどのメッキ金属で複数の接続部分を一度に接続することもでき、これによりリード5との接続面積を大きくすることができるため、半

導体装置の熱伝導性と放熱性とを更に向上させることができる。

【0021】この発明のマルチチップ半導体装置は、以下に説明する方法により製造することができる。例えば、図1に示したマルチチップ半導体装置は図2に示したように製造することができる。

【0022】まず、透明導電層としてITOが片面に形成されたガラス基板1（松崎真空株式会社製）の当該ITO層を、フォトリソグラフ技術、エッチング技術を利用してパターンニングする。

【0023】このITO層上に、選択無電解メッキプロセスにより金属薄膜を形成して配線回路層2を形成する。このような選択無電解メッキプロセスとしては、例えばメルテックス株式会社製のメルトプレートプロセスを用いることができ、これによればITO層上に約0.5μm厚のニッケル薄膜と、更にその上に約0.05μm厚の金薄膜を形成することができる。

【0024】更に、このガラス基板1の周辺部に絶縁性テープなどの接着層4を設ける。そしてリード5及び後工程で搭載する半導体チップ6a～6dと接続すべき配線回路層2の部分にバンプ7a、7bを常法により形成する（図2（a））。

【0025】次に、図2（b）に示すような通常のリードフレーム8のインナーリード5aを、図2（a）に示したガラス基板1の接着層4に固定し（図2（c））、更に、半導体チップ6a～6dを、フェイスダウン方式で配線回路層2と接続すべき箇所位置合わせし、半導体チップの接続部とインナーリード接続部とを熱圧着する（図2（d））。

【0026】この後は、常法により洗浄し、更に必要に応じて、樹脂封止を行い、リードフレームのフレーム部分を除去することによりマルチチップ半導体装置を製造することができる。

【0027】なお、インナーリード5aをガラス基板1の接着層4に固定するに先立って、半導体チップ6a～6dをガラス基板1に搭載することもできる。この場合には、半導体チップの実装効率と信頼性の向上を図ることができる。

【0028】

【発明の効果】この発明マルチチップ半導体装置によれば、半導体チップと熱膨脹係数がほぼ同等であるガラス基板を使用するので、熱による膨脹、収縮によりガラス基板上から半導体チップが剥離したり、半導体チップにクラックが生じたりすることを防止することが可能となり、高い信頼性を実現できる。また、使用するガラス基板は、従来のガラスエポキシ基板やポリイミド基板に比べ熱伝導率が良好なため、放熱性を改善することができる。特に、リードをガラス基板上に配すればリードからの放熱効率も高めることができる。

【図面の簡単な説明】

【図1】この発明のマルチチップ半導体装置の好ましい実施例の平面図（図1（a））と概略側面図（図1（b））である。

【図2】この発明のマルチチップ半導体装置の製造工程図である。

【図3】従来のマルチチップ半導体装置の断面図である。

【符号の説明】

1 ガラス基板

\* 2 配線回路層

3 配線回路板

4 接着層

5 リード

5a インナーリード

6a～6d 半導体チップ

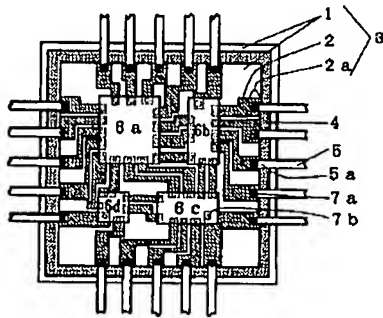
7a、7b バンプ

8 リードフレーム

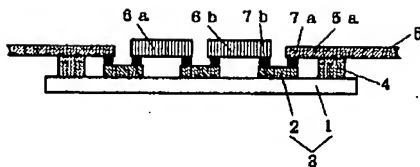
\*

【図1】

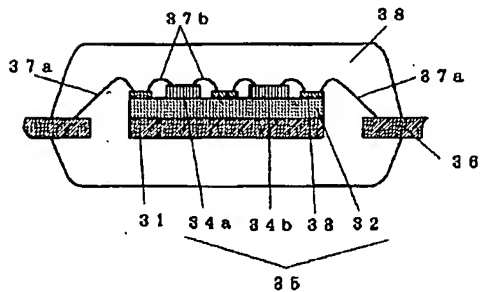
(a)



(b)

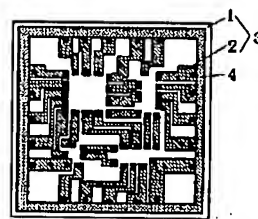


【図3】

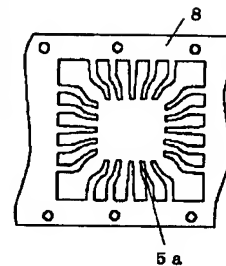


【図2】

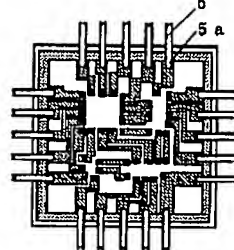
(a)



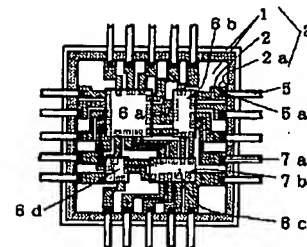
(b)



(c)



(d)



フロントページの続き

(51)Int.Cl.<sup>3</sup>

H01L 25/18

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 塚本 健人  
東京都台東区台東一丁目5番1号 凸版印  
刷株式会社内